

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-343479

(43)公開日 平成4年(1992)11月30日

(51) Int.Cl.⁵

H O 1 L 29/93
21/265

識別記号

片内整理番号

H 8225-4M

8617-4M

FI

H01L 21/265

技術表示箇所

U

審査請求 未請求 請求項の数 2 (全 3 頁)

(21)出願番号

特願平3-115192

(22)出願日

平成3年(1991)5月21日

(71)出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 五十嵐 朋広

山形県山形市北町四丁目12番12号山形日本
電気株式会社内

(72) 發明者 高階 礼児

山形県山形市北町四丁目12番12号山形日本
電気株式会社内

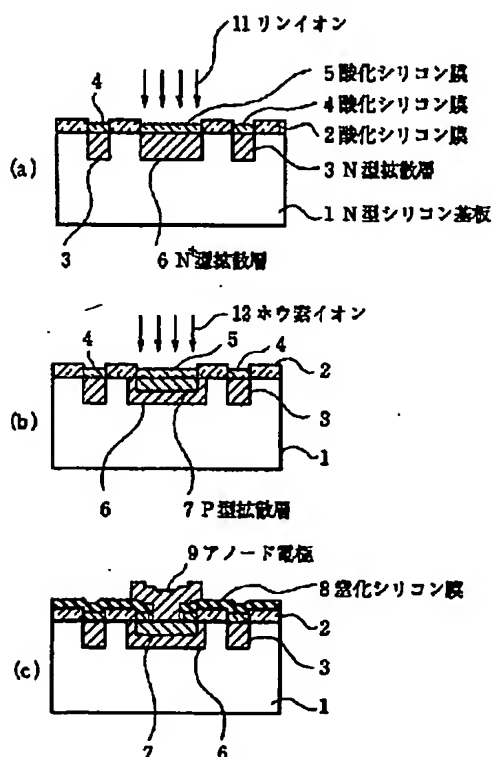
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 可変容量ダイオード

(57) 【要約】

【構成】結晶面方位（100）から3〜7°傾斜した主面を有するN型シリコン基板1にイオン注入角度0°で不純物イオンを導入し、N⁺型拡散層6及びP型拡散層7を形成し、超階段接合型の可変容量ダイオードを構成する。

【効果】拡散層のチャネリングを防止し、容量値のばらつきを抑え、耐圧を向上させることができる。



【特許請求の範囲】

【請求項1】 低濃度一導電型半導体基板の一主面に設けた高濃度の一導電型拡散層と、前記一導電型拡散層内に設けた逆導電型拡散層とを有する超階段接合型の可変容量ダイオードにおいて、前記半導体基板の一主面が結晶面方位(100)から3度乃至7度傾斜した面を有することを特徴とする可変容量ダイオード。

【請求項2】 一導電型拡散層の周囲を取囲んで設けた高濃度一導電型拡散層からなるガードリングを有する請求項1記載の可変容量ダイオード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、可変容量ダイオードに関し、特に超階段接合型の可変容量ダイオードに関する。

【0002】

【従来の技術】 図2(a)～(d)は従来の可変容量ダイオードの製造方法を説明するための工程順に示した半導体チップの断面図である。

【0003】 まず、図2(a)に示すように、結晶面方位(100)より結晶軸傾斜角が2度傾斜した主面を有するN型のシリコン基板10の表面に酸化シリコン膜2を形成した後、写真食刻法により酸化シリコン膜2を選択的にエッチング除去し、ガードリング形成用の開孔部を形成する。次に、酸化シリコン膜2をマスクとしてN型シリコン基板10にN型の不純物をイオン注入し、N⁺型拡散層3を形成してガードリングを設けた後、熱酸化してN⁺型拡散層3の表面に酸化シリコン膜4を形成する。

【0004】 次に、図2(b)に示すように、写真蝕刻法により選択的に酸化シリコン膜2をエッチング除去して開孔部を設けた後、熱酸化してN型シリコン基板10の表面に薄い酸化シリコン膜5を30nmの厚さに形成する。次に、酸化シリコン膜2及び酸化シリコン膜4をマスクとして、上面からリンイオン11を加速エネルギー70keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 、注入角度(基板に対して垂直方向からの傾き)7°で、イオン注入し、熱処理により押込拡散及びアニールを行いN⁺型拡散層6を形成する。

【0005】 次に、図2(c)に示すように、ホウ素イオン12を加速エネルギー40keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 、注入角度0°でイオン注入して熱処理し、P型拡散層7を形成する。

【0006】 次に、図2(d)に示すように、写真蝕刻法により選択的に酸化シリコン膜5をエッチング除去して第1のコンタクト孔を形成した後、気相成長法により第1のコンタクト孔を含む表面に窒化シリコン膜8を堆積する。次に、写真蝕刻法により第1のコンタクト孔の窒化シリコン膜8を選択的にエッチング除去し、第1のコンタクト孔の内側に第2のコンタクト孔を設ける。次

に、第2のコンタクト孔を含む表面にアルミニウム層を堆積してバターニングし、アノード電極9を形成する。

【0007】

【発明が解決しようとする課題】 一般に超階段接合型の可変容量ダイオードにおいては、逆方向印加電圧に対して容量値を狭い範囲に制御することが要求されており、この傾向は近年の製品組立選別方式の簡略化と共に益々強くなっている。したがって、この要求を満足させるためには、半導体基板上に形成された各々の接合における不純物分布をできるだけ均一に形成しなければならない。

【0008】 しかしながら、上述した従来の可変容量ダイオードでは結晶軸傾斜角2°の半導体基板に対する逆導電型の拡散層を形成するための不純物導入を注入角度0°でイオン注入しているため、チャネリングが発生し、それにより半導体基板表面に形成される各々の接合における不純物分布が不均一化されて、容量値のばらつきが大きくなったり、耐圧が低下するという問題点があった。

【0009】

【課題を解決するための手段】 本発明の可変容量ダイオードは、低濃度一導電型半導体基板の一主面に設けた高濃度の一導電型拡散層と、前記一導電型拡散層内に設けた逆導電型拡散層とを有する超階段接合型の可変容量ダイオードにおいて、前記半導体基板の一主面が結晶面方位(100)から3度乃至7度傾斜した面を有している。

【0010】

【実施例】 次に、本発明について図面を参照して説明する。

【0011】 図1(a)～(c)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

【0012】 まず、図1(a)に示すように、結晶面方位(100)に対して3～7度傾斜した面を主面とするN型シリコン基板1の表面に酸化シリコン膜2を設け、酸化シリコン膜2に選択的に開孔部を設け、酸化シリコン膜2をマスクとして開孔部のN型シリコン基板1の表面にリンを拡散してN⁺型拡散層3を設けガードリングを形成する。次に、酸化シリコン膜2を選択的に開孔した後、酸化シリコン膜5を形成し、酸化シリコン膜2、4をマスクとしてリンイオン11を加速エネルギー70keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 、注入角度0°でイオン注入し、熱処理によりイオン注入層の押込拡散及びアニールを行い、N⁺型拡散層6を形成する。

【0013】 次に、図1(b)に示すように、ホウ素イオン12を加速エネルギー40keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 、注入角度0°でイオン注入し、熱処理により押込拡散及びアニールを行い、P型拡散層7を形成する。

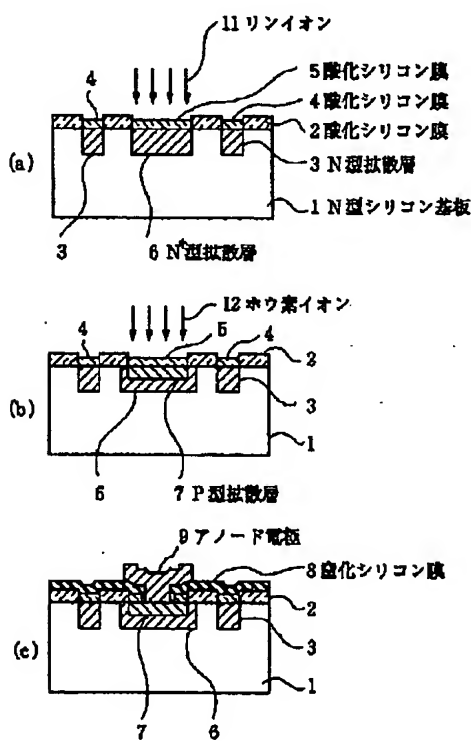
3

【0014】次に、図1(c)に示すように、薄い酸化シリコン膜5を選択的にエッチングし、除去して第1のコンタクト孔を形成した後、窒化シリコン膜8を堆積して第1のコンタクト孔の内側に第2のコンタクト孔を形成し、第2のコンタクト孔を含む表面にアルミニウム層を堆積してパターニングし、アノード電極9を形成する。

【0015】

【発明の効果】以上説明したように本発明は、半導体基板の主面を結晶面方位(100)より3~7°傾斜させることにより、イオン注入角度0°で形成した拡散層のチャネリングを防止することが可能となり、その結果従来例と比較して容量値のばらつきを1/2~1/3に、又耐圧値を5~7V向上させることができるという効果を有する。

【図1】



4

【図面の簡単な説明】

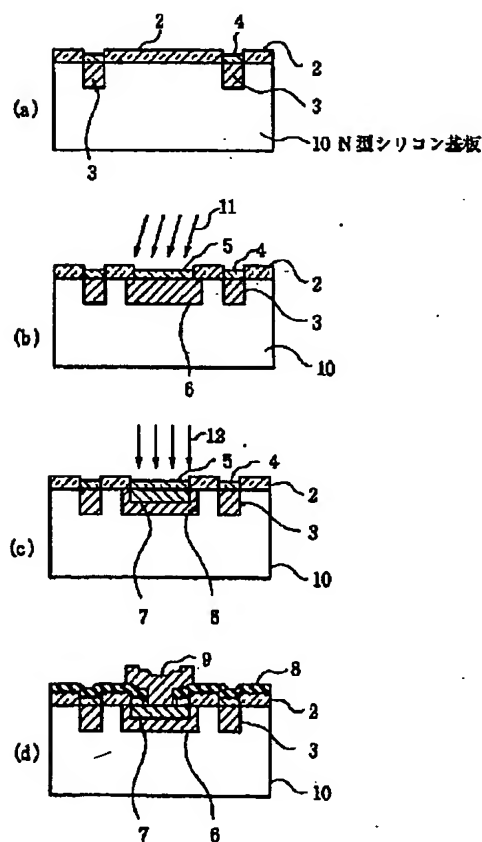
【図1】本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図。

【図2】従来の可変容量ダイオードの製造方法を説明するための工程順に示した半導体チップの断面図。

【符号の説明】

- 1, 10 シリコン基板
- 2, 4, 5 酸化シリコン膜
- 3, 6 N⁺型拡散層
- 7 P型拡散層
- 8 窒化シリコン膜
- 9 アノード電極
- 11 リンイオン
- 12 ホウ素イオン

【図2】



PAT-NO: JP404343479A

DOCUMENT-IDENTIFIER: JP 04343479 A

TITLE: VARIABLE CAPACITANCE DIODE

PUBN-DATE: November 30, 1992

INVENTOR-INFORMATION:

NAME

IGARASHI, TOMOHIRO

TAKASHINA, REIJI

ASSIGNEE-INFORMATION:

NAME

NEC YAMAGATA LTD

COUNTRY

N/A

APPL-NO: JP03115192

APPL-DATE: May 21, 1991

INT-CL (IPC): H01L029/93, H01L021/265

US-CL-CURRENT: 257/595

ABSTRACT:

PURPOSE: To suppress dispersion in capacitance value and to improve dielectric strength by preventing channeling of a diffusion layer.

CONSTITUTION: An impurity ion is introduced into a N type silicon substrate 1 having a main face inclining by 3-7°; from crystal plane orientation 100 at an ion implantation angle of 0°; to form an N type

diffusion layer 6 and
P type diffusion layer 7, constituting a super abrupt
junction type variable
capacity diode.

COPYRIGHT: (C)1992,JPO&Japio